

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-196433

(43)Date of publication of application : 14.07.2000

(51)Int.Cl. H03K 19/0175
H03K 19/0185

(21)Application number : 10-368717 (71)Applicant : SHARP CORP

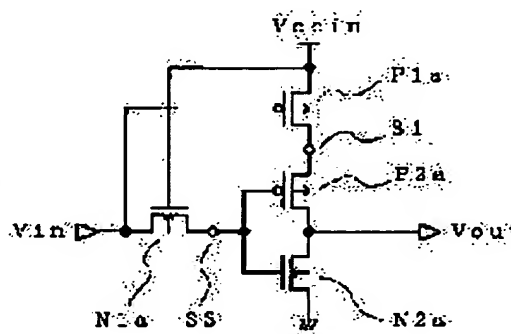
(22)Date of filing : 25.12.1998 (72)Inventor : YANAGIMOTO RYOJI

(54) INPUT CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To ensure the reliability of an input circuit of a semiconductor device that may receive a signal with a voltage higher than an internal power supply voltage by expanding the voltage range available for input.

SOLUTION: A transistor(TR) N1a clamps an external input signal V_{in} to a voltage lower than an internal power supply voltage, and an inverter receives this clamped signal to drive an internal signal. A transistor(TR) P1a whose gate is connected to the external input signal V_{in} is inserted between the inverter and the internal power supply. Thus, the reduction of the potential at a point S1 is suppressed when the input signal V_{in} is at a high level so as to ensure the breakdown voltage of the TR P1a between the gate and the drain, thereby expanding the margin of the input voltage.



LEGAL STATUS

[Date of request for examination] 19.07.2001

[Date of sending the examiner's decision of rejection] 30.06.2003

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-196433

(P2000-196433A)

(43)公開日 平成12年7月14日 (2000.7.14)

(51)Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 3 K 19/0175		H 0 3 K 19/00	1 0 1 K 5 J 0 5 6
19/0185			1 0 1 D

審査請求 未請求 請求項の数2 O L (全 5 頁)

(21)出願番号 特願平10-368717

(22)出願日 平成10年12月25日 (1998. 12. 25)

(71)出願人 000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町22番22号

(72)発明者 柳本 良二
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(74)代理人 100103296
弁理士 小池 隆彌

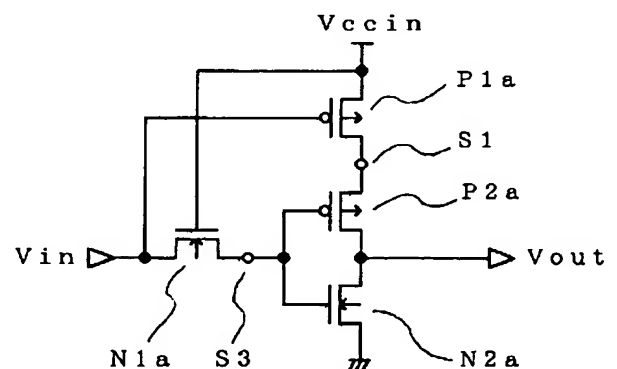
Fターム(参考) 5J056 AA01 AA32 BB19 BB21 BB38
CC00 DD13 DD28 EE12 EE13
FF08 HH01 HH02

(54)【発明の名称】 入力回路

(57)【要約】

【課題】 内部電源電圧よりも高電圧の信号が入力される半導体装置の入力回路において、入力可能な電圧範囲を高め入力回路の信頼性を確保する。

【解決手段】 外部からの入力信号 V_{in} を $N1a$ によって内部電源電圧より低い電圧にクランプし、このクランプ信号をインバータで受けて内部信号を駆動し、このインバータと内部電源との間に、ゲートが外部入力信号 V_{in} に接続されたトランジスタ $P1a$ を挿入することにより、 V_{in} “H” 時の $S1$ 点の電位低下を抑え、トランジスタ $P1a$ のゲート・ドレイン間耐圧を確保して、入力電圧のマージンを広げる。



【特許請求の範囲】

【請求項1】 外部からの入力信号電圧を内部電源電圧より低い電圧にクランプする第1導電型トランジスタと、このトランジスタによってクランプされた信号をゲートに受けるインバータと、このインバータと内部電源との間に挿入され、ゲートが外部からの入力信号に接続された第2導電型トランジスタとからなる半導体装置の入力回路。

【請求項2】 上記インバータの反転電圧を、上記クランプされた信号電圧の1/2付近に設定したことを特徴とする請求項1に記載の半導体装置の入力回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、外部信号が内部電源電圧より高い場合に用いる半導体装置の入力回路に関するものである。

【0002】

【従来の技術】半導体装置を用いたシステムにおいて、半導体装置外部のシステムの電源電圧が半導体装置内部の電源電圧(Vccin)より高い場合、高電圧の外部信号を半導体装置の入力回路で受ける必要があるが、昨今半導体装置製造プロセスの微細化に伴ってトランジスタのゲート・ドレイン間耐圧が低下してきており、高電圧の外部信号を入力回路のトランジスタに印加することによる信頼性上の問題が生じてきている。ここでいう信頼性とは具体的にはトランジスタのゲート・ドレイン間の耐圧を意味する。

【0003】例えば、複数の半導体装置が混在するシステムでは、そのシステム中に使用されている個々の半導体装置が全て同一世代の製造プロセスで製造されているわけではなく、古い世代のプロセスで製造された半導体装置は5Vで動作し、新しい世代のプロセスで製造された半導体装置は3Vか、さらに低電圧で動作するような場合がある。

【0004】このようなシステムにおいては、システム全体としての電源は5V系を使用することが多く、この場合は5V系の信号を3V系の半導体装置で受ける必要があるが、ここで、例えば最小線幅0.35μm程度のプロセスで製造された半導体装置では、トランジスタに印加できる絶対最大定格が5Vより低くなっており、5Vの電位をゲート・ドレイン間にかけることができないといった問題がある。

【0005】上記問題を解決する技術として特開平10-135818に示される回路が提案されている。この回路構成を図2に示す。

【0006】図2には、外部入力信号Vinをゲートが内部電源Vccinに接続された外部電圧クランプ用トランジスタN3で受け、このN3によってクランプされた信号を内部信号Voutを駆動する一方のトランジスタN4で受け、また内部信号Voutを駆動する他方の

トランジスタP3は外部入力信号を直接ゲートに受け、このトランジスタP3のゲート・ドレイン間にゲート酸化膜耐圧を越える電圧がかからないように、ゲートを接地電位に接続したトランジスタP4をトランジスタP3とトランジスタN4の間に直列に接続した回路が示されている。

【0007】トランジスタN3はゲートに内部電源電圧を受けているので、S4点の“H”レベルは内部電源電圧-Vthsd(N3)にクランプされる。これにより、トランジスタN4のゲートは外部信号電圧より保護され、ゲート酸化膜の信頼性は確保される。ここで、Vthsd(N3)はゲートをVccinに固定したときにトランジスタN3がONとなるソース・ドレイン間電圧であり、一般的には1.2V程度である。

【0008】次に、トランジスタP3は外部入力信号をゲートに直接受けるため、ゲートを接地電位にしたトランジスタP4をトランジスタP3とトランジスタN4の間に設けることにより、外部入力信号が“H”の時にS2点の電位はVthsd(P4)の電位となり、トランジスタP3のゲート・ドレイン間にかかる電位差が緩和され、ゲート酸化膜の信頼性は確保される。ここで、Vthsd(P4)はゲートを接地電位に固定したときにトランジスタP4がONとなるソース・ドレイン間電圧であり、一般的には-1.2V程度である。

【0009】さらに図2の回路では、トランジスタP3のゲートに高電圧の外部入力信号Vinが直接接続されているので、外部入力信号Vinが“H”レベルの状態ではトランジスタP3が完全にOFFとなるためP3-P4-N4を介した貫通電流が流れることはない。

【0010】

【発明が解決しようとする課題】しかしながら、図2の回路構成の場合、使用できる外部入力信号電圧の許容範囲が狭いことが欠点としてあげられる。

【0011】これを、外部入力信号5V、内部電源電圧3Vのシステムを例にとり説明する。例えば、図2において、トランジスタのゲート・ドレイン間耐圧の絶対最大定格を0.35μmプロセス相当の4.6V、Vthsd(P3)=-1.2V、Vthsd(N3)=1.2Vとする。この回路において外部より入力可能な信号の電圧は、Vin≤絶対最大定格+Vthsd(P3)=4.6V+1.2V=5.8Vとなり、外部電圧5Vに対するマージンが0.8Vしかとれない。

【0012】さらにこれは、各回路要素が設計値通りの特性を示した場合の例であり、実際には、絶対最大定格もVthも共にトランジスタの特性に左右される因子であり、製造ばらつきや動作温度等によって変動するものであるため、このようなばらつきを考慮すると、0.8V程度のマージンでは、信頼性を保証する上で充分とはいえない。

【0013】本発明は、上記の問題点を解決するために

なされたものであり、半導体装置にその内部電源電圧より高い電圧の信号を入力する際に、入力可能な電圧範囲を広げ、入力トランジスタの信頼性向上を図ることを目的とするものである。

【0014】

【課題を解決するための手段】請求項1の入力回路は、外部からの入力信号電圧を内部電源電圧より低い電圧にクランプする第1導電型トランジスタと、このトランジスタによってクランプされた信号をゲートに受けるインバータと、このインバータと内部電源との間に挿入され、ゲートが外部からの入力信号に接続された第2導電型トランジスタとからなることを特徴としている。

【0015】上記の構成により、インバータを構成する各トランジスタのゲートには内部電源電圧より低い電圧にクランプされた信号が印加され、またインバータと内部電源との間に挿入されたトランジスタのドレイン電圧は、上記従来技術である図2よりも内部電源電圧に近い電位に保つことができるため、各トランジスタの信頼性を低下することなく、入力可能な信号の最大電圧を高くすることが可能となる。

【0016】請求項2の入力回路は、請求項1の入力回路のインバータの反転電圧を接地電位側にシフトしたことを特徴としている。

【0017】上記の構成により、インバータの反転電圧を、内部電源電圧より低い電圧にクランプされた入力信号電圧の中心に合わせ込むことが可能となり、信号の遅延や、ノイズによる誤動作等を防止できる。

【0018】

【発明の実施の形態】以下、本発明の実施の形態について添付図面に基づいて説明する。

【0019】図1は、本発明の半導体装置の入力回路の第1実施形態を示している。この第1実施形態は、外部入力信号 V_{in} と内部信号を駆動するインバータの入力との間に挿入され、ゲートが内部電源 V_{ccin} に接続された外部電圧クランプ用N型トランジスタ $N1a$ と、このトランジスタ $N1a$ によってクランプされた信号をゲートに受けるP型トランジスタ $P2a$ とN型トランジスタ $N2a$ からなるインバータと、このインバータと内部電源 V_{ccin} との間に挿入され、ゲートが外部入力信号 V_{in} に接続されたP型トランジスタ $P1a$ とからなる。

【0020】トランジスタ $N1a$ は外部電圧クランプ用であり、 $N1a$ のゲートを内部電源電圧 V_{ccin} にすることにより、S3点の“H”レベルは $V_{ccin} - V_{thsd}(N1a)$ にクランプされる。これにより、インバータを構成するトランジスタ $P2a$ と $N2a$ のゲートは外部信号電圧より保護され、ゲート酸化膜の信頼性は確保される。ここで、 $V_{thsd}(N1a)$ はゲートを V_{ccin} に固定したときにトランジスタ $N1a$ がONとなるソース・ドレイン間電圧であり、一般的には

1.2V程度である。

【0021】また、トランジスタ $P1a$ はインバータ $P2a$ 、 $N2a$ の電源側に挿入し、ゲートに外部入力信号 V_{in} を直接接続した構成にすることにより、インバータの反転電位を下げると共に、外部入力信号が“H”時に、 $N1a$ によってクランプされた信号電圧が内部電源電圧 V_{ccin} より低くなり、インバータに貫通電流が流れようとするが、インバータの電源側に挿入されたトランジスタ $P1a$ が完全にOFFするので、貫通電流を無くすることができる。

【0022】さらに、外部入力信号が“H”時に、 $P1a$ のゲート・ドレイン間耐圧が問題となるが、外部入力信号“H”時には、S3点が $V_{ccin} - V_{thsd}(N1a)$ となり、このときS1点の電圧が、S3点の電圧 $+ V_{th}(P2a)$ より低くなろうとするとトランジスタ $P2a$ はOFFとなるので、 $P1a$ のドレインであるS1点は $(V_{ccin} - V_{thsd}(N1a)) + V_{th}(P2a)$ よりも低く電圧降下することなく、外部入力信号の仕様範囲としては、 $P1a$ のゲート・ドレイン間耐圧 $+ (V_{ccin} - V_{thsd}(N1a)) + V_{th}(P2a)$ とすることができる。ここで、 $V_{thsd}(N1a)$ は上記と同様に1.2V程度である。また、 $V_{th}(P1a)$ はソース・ドレイン間に V_{thsd} より高い電圧がかかった状態でトランジスタ $P1a$ がONとなるゲート・ソース間電圧であり、一般的には0.6V程度である。

【0023】従って、図2と同様に、外部入力信号5V、内部電源電圧3Vのシステムにおいて、トランジスタのゲート・ドレイン間耐圧の絶対最大定格を4.6V、 $V_{th}(P1a) = 0.6V$ 、 $V_{thsd}(N1a) = 1.2V$ とすると、本実施の形態である図1の回路に外部から入力可能な信号の電位は、 $V_{in} \leq \text{絶対最大定格} + (V_{ccin} - V_{thsd}(N1a)) + V_{th}(P2a) = 4.6V + ((3V - 1.2V) + 0.6V) = 7V$ とすることができ、外部電圧5Vに対して十分なマージンがとれる。

【0024】ここで、スパイスを用いたシミュレーションによる図1のS1点の波形を図4(a)に、従来の技術である図2のS2点の波形を図4(b)に示す。図4(a)、(b)において、1は入力信号 V_{in} 、2は図1におけるS1点の波形、3は図2におけるS2点の波形を模式的に示したものであり、内部電源電圧 $V_{ccin} = 3V$ 、動作周波数 $= 100MHz$ の条件において、 V_{in} の電圧を5V、6V、7Vと変化させたときの各点の電圧波形を表すものである。

【0025】図4(a)、(b)から明らかなように、 V_{in} が“H”のときに、貫通電流防止用トランジスタ($P1a$ 、 $P3$)のゲート($= V_{in}$)とドレイン($= S1$ 、 $S2$ 点)間にかかる電位差は、本実施の形態である図1の方が低くなっており、この低くなった電圧分だ

け外部電圧に対するマージンを広くとれる。

【0026】また、本シミュレーションにおいて、図1、図2の回路の、それぞれ対応するトランジスタのサイズをそれぞれ同一に設定し、100MHz動作時の消費電流を比較したところ、本実施の形態である図1の回路構成では26.4μA、従来の技術である図2の回路構成では30.6μAとなっており、本実施の形態である図1の方が、若干消費電流が少なくなっている。これは、入力回路のスイッチング時の、図1のS1点に対する充放電量が、図2のS2点に対する充放電量よりも少なく済むことが主たる要因と考えられる。

【0027】図3は、本発明の半導体装置の入力回路の第2実施形態を示している。この第2実施形態は、第1実施形態である図1のインバータの接地電位側にN型トランジスタN2cを並列に挿入したものである。

【0028】インバータの反転電圧は一般に、そのインバータを構成するP型トランジスタとN型トランジスタとの駆動能力のバランスにより決定されるが、CMOS半導体装置の製造工程においては、P型とN型のトランジスタ特性はそれぞれ独立してばらつくため、駆動能力特性がP型とN型とでそれぞれ逆方向にばらついた場合には、インバータの反転電圧が駆動能力特性の高い側へ大きくずれることになる。

【0029】特に、本実施の形態のように、インバータへの入力信号を内部電源電圧より低い電圧にクランプする場合においては、インバータの反転電圧のずれに対する許容範囲が狭くなるため、入力信号に対する耐ノイズ性が悪化したり、動作周波数が低下したりするといった悪影響が出やすくなる。

【0030】そこで、本実施の形態では、インバータの接地電位側にN型トランジスタN2cを並列に挿入することにより、入力回路に用いられるインバータの反転電圧を、クランプ用トランジスタN1bによってクランプされた電圧($V_{ccin} - V_{thsd}(N1b)$)の1/2付近に設定し、インバータの反転電圧のずれに対する許容範囲をできるだけ広くとることにより、上記のようなトランジスタの特性ばらつき等による悪影響を防止可能としたものである。

【0031】なお、本実施の形態においては、接地電位に対してプラス電源を用いる場合を例にとり説明したが、本発明はこれに限定されるものではなく、接地電位に対してマイナス電源を用いる場合でも、本実施の形態の回路構成のトランジスタ極性を逆にし、接続関係を上

下反転することにより対応可能である。

【0032】また、第2の実施の形態では、インバータの接地電位側にN型トランジスタを並列に挿入した例をあげて説明したが、本発明はこれに限定されるものではなく、例えばトランジスタのゲート長とゲート幅を適宜変える等、インバータの反転電圧を調整するためにとりうる方法であれば、どのような方法を用いても構わない。

【0033】

【発明の効果】以上から明らかな様に、本発明の半導体装置の入力回路によれば、外部から入力可能な信号の電圧範囲が従来より高い電圧まで使用可能になったことにより、システムの設計上での電圧マージンを広く確保できるようになる。また、製造ばらつきによるトランジスタ特性の変動等による悪影響も防止できる。

【図面の簡単な説明】

【図1】本発明の第1実施形態を示す入力回路図である。

【図2】従来の技術を示す入力回路図である。

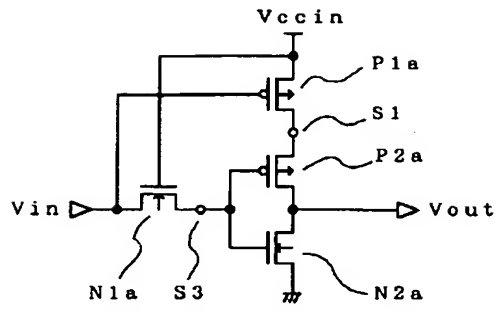
【図3】本発明の第2実施形態を示す入力回路図である。

【図4】本発明と従来技術のシミュレーション波形を示す波形図であり、(a)は本発明のシミュレーション波形を示す波形図、(b)は従来技術のシミュレーション波形を示す波形図である。

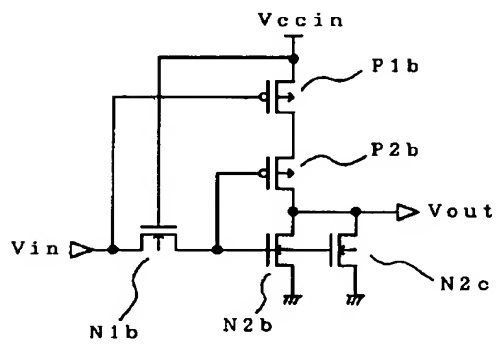
【符号の説明】

1	シミュレーションにおけるVin波形
2	シミュレーションにおけるS1点波形
3	シミュレーションにおけるS1点波形
Vin	外部入力信号
N1a, N1b, N3	入力信号電圧クランプ用N型トランジスタ
P1a, P1b, P3	貫通電流防止用P型トランジスタ
P2a, P2b	インバータを構成するP型トランジスタ
N2a, N2b, N2c	インバータを構成するN型トランジスタ
S1, S2	貫通電流防止用P型トランジスタのドレイン端子

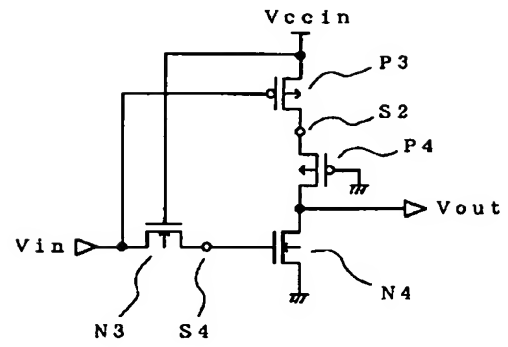
【図 1】



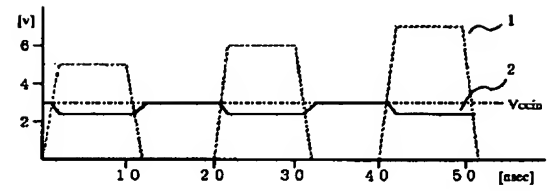
【図 3】



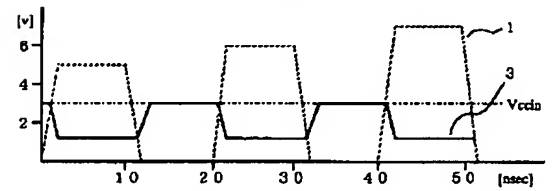
【図 2】



【図 4】



(a)



(b)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ BLACK BORDERS

☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☐ FADED TEXT OR DRAWING

☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.